



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11298459 A**(43) Date of publication of application: **29.10.99**

(51) Int. Cl.

**H04L 7/00****H04L 12/28****H04L 25/02****H04Q 3/00**(21) Application number: **10104332**(22) Date of filing: **15.04.98**(71) Applicant: **HITACHI LTD**

(72) Inventor: **HIRANO KATSUNORI**  
**KIKUCHI SHUJI**  
**MORIWAKI NORIHIKO**  
**YOKOTA MITSUKUNI**  
**WADA MITSUHIRO**  
**KASAHARA HIROAKI**  
**OBAYASHI JUNYA**

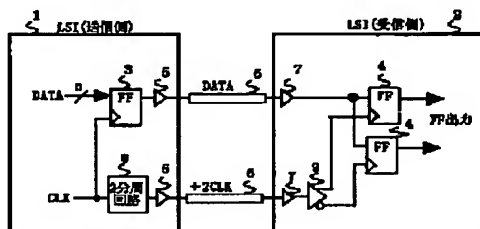
(54) **HIGH SPEED TRANSMISSION SYSTEM AND  
HIGH SPEED TRANSMITTER**

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To reduce losses in a high frequency band in a transmission channel and to realize high speed data transmission by sending data at a transmitter side in a half rate clock that is frequency-divided by 1/2 in a transmission system for sending data and clock in parallel and operating a receiver at the half rate clock resulting from frequency division.

**SOLUTION:** In this high speed transmission system, a transmitter side LSI 1 outputs data that is subjected to re-timing by a clock and a half rate clock frequency-divided by a 1/2 frequency divider circuit 8, and they are received by a receiver side LSI 2 via a transmission line 6. A receiver side flip-flop is subject to re-timing by a 2-shape clock that is positive and negative outputs of a differential buffer 9 inside of the receiver side LSI 2.

COPYRIGHT: (C)1999,JPO



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-298459

(43)公開日 平成11年(1999)10月29日

(51)Int.Cl.<sup>6</sup>

識別記号

F I

H 0 4 L 7/00

H 0 4 L 7/00

Z

12/28

25/02

J

25/02

H 0 4 Q 3/00

H 0 4 Q 3/00

H 0 4 L 11/20

D

審査請求 未請求 請求項の数7 O L (全 5 頁)

(21)出願番号

特願平10-104332

(22)出願日

平成10年(1998)4月15日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 平野 克典

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所生産技術研究所内

(72)発明者 菊地 修司

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所生産技術研究所内

(72)発明者 森脇 紀彦

東京都国分寺市東恋ヶ窪一丁目280番地株

式会社日立製作所中央研究所内

(74)代理人 弁理士 小川 勝男

最終頁に続く

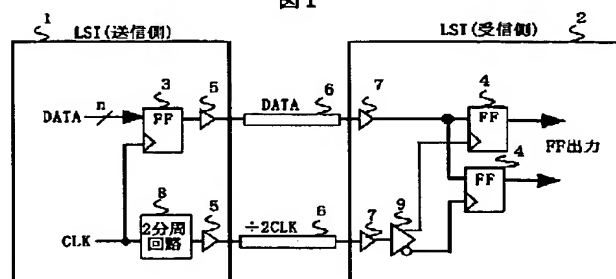
(54)【発明の名称】 高速伝送方式及び高速伝送装置

(57)【要約】

【課題】データ、クロック並送の伝送方式において、送信側でクロックを2分周したハーフレートクロックにより伝送し、受信側で分周したハーフレートクロックで動作させることで、伝送線路における高帯域での損失の低減により、高速伝送を実現する。

【解決手段】送信側LSI1内部において、クロックでリタイミングしたデータと、2分周回路8で分周されたハーフレートクロックを出力し、伝送線路6を介して受信側LSI2に入力する。受信側LSI2内部の差動バッファ9の正負出力である2相クロックにて受信側フリップフロップをリタイミングする。

図1



**【特許請求の範囲】**

【請求項 1】送信すべきデジタルデータと、該データの送信周期を規定する送信クロックとを共に伝送し、該伝送された送信クロックを用いて受信側において該デジタルデータを取り込む伝送方式において、上記送信クロックとして、上記デジタルデータ送信周期の 1/2 の周期を有するクロックを伝送することにより、データ伝送路と同等の帯域幅の伝送路でクロック伝送を可能とした高速伝送方式。

【請求項 2】送信すべきデジタルデータと、該データの送信周期を規定する送信クロックとを共に伝送し、該伝送された送信クロックを用いて受信側において該デジタルデータを取り込む伝送方式において、上記送信クロックに代えて、毎周期変化するデジタルデータを送信することにより、データ伝送路よりも広い帯域幅が要求されるクロック伝送路を不要とした高速伝送方式。

【請求項 3】伝送方式であって、送信側より複数の並列データとクロックを並送させて出力し、受信側にて並送されたクロックにてデータのリタイミングを行う方式において、送信側にてクロックを 2 分周したハーフレートクロックを伝送し、送信側にて差動バッファの正出力及び負出力の 2 相クロックにて動作させることで、伝送線路における高帯域での損失による波形劣化を低減することを特徴とした高速伝送方式。

【請求項 4】請求項 3 記載の伝送方式において、送信側にてクロックを 2 分周したハーフレートクロックと、ハーフレートクロックをシフトさせた 2 相のハーフレートクロックを伝送することで、請求項 3 と同様に伝送線路における高帯域での損失による波形劣化を低減することを特徴とした高速伝送方式。

【請求項 5】請求項 1 ないし 4 のいずれか 1 項記載の伝送方式において、送信側より伝送されたハーフレートクロックを、受信側の PLL にて遅倍させてフルレートクロックとして動作させることで伝送線路における高帯域での損失による波形劣化を低減することを特徴とした高速伝送方式。

【請求項 6】請求項 1 から 5 までのいずれか 1 項記載の高速伝送方式を適用し、送信側にて複数データの平行／シリアル変換を行い、受信側にてシリアル／平行変換を行うことで、バックボードのピン数を低減し、且つシリアル信号の高速伝送を可能としたシリアル／平行変換回路及び平行／シリアル変換回路を有することを特徴とする高速伝送装置。

【請求項 7】請求項 1 から 6 までのいずれか 1 項において、平行／シリアル変換回路を適用して、高速信号の切換を行う ATM 交換機を有することを特徴とする高速伝送装置。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】本発明は、高速信号伝送に関

し、特に通信における ATM 交換機等の電子装置に関わる半導体素子及び伝送方式に関するものである。

**【0002】**

【従来の技術】従来の技術は、特開平 7-15405 号公報の「デジタル伝送路試験方式およびデジタル伝送路試験システム」に記載されている。以下この技術を説明する。図 10 (a), (b) に従来例である伝送方式を示す。図 10 は送信側からクロック、データ、フレーム信号を分離して並送する 3 本インターフェースで接続される伝送方式である。実際の回路構成として、送信側 L S I 1 において、フレーム信号に同期した内部論理からのデータを最終段フリップフロップ 3 にてリタイミングを行い、このリタイミングを行ったクロックとデータ、フレームを出力バッファ 4 を介して出力する。伝送線路 5 を伝搬し、受信側 L S I 1 1 に入力され、入力バッファ 7 を介して初段フリップフロップ 10 にてデータのリタイミングを行う。

【0003】装置の高速化は 3 本インターフェースでの伝送速度により決まる。通常、伝送されるデータは一周期内で NRZ (Not Return to Zero) であり、伝送速度はデータ周期によって表される (bit/s)。クロックは RZ (Return to Zero) であるため、データに対してクロックの周波数 (Hz) は 2 倍である。伝送線路 6 は装置のユニット間を伝送するため数十 m の長さであり、伝送線路 6 における高帯域での損失による波形劣化は、3 本インターフェースの中で最大の周波数であるクロックが最も大きく影響される。従ってクロックの周波数によって伝送速度が制限される。

**【0004】**

【問題が解決しようとする課題】前記従来例の構成において、伝送されるデータとクロックは同一形態の伝送線路を用いており、データは常に伝送可能な帯域の半分しか活用していない。

【0005】従って、データに対して 2 倍の周波数であるクロック周波数の制限が、装置の高速化にとってネックとなる。

【0006】そこで本発明の目的は、伝送線路における高帯域での損失による波形劣化を低減し、高速信号の伝送を可能とすることで装置の高速化を実現することにある。

**【0007】**

【問題を解決するための手段】前記課題は送信側より分周したクロックを伝送し、受信側にて分周されたクロックで回路を動作させて、伝送線路にデータの 2 倍の周波数帯域を必要としないことにより達成される。

**【0008】**

【発明の実施の形態】（実施の形態 1）以下、本発明にかかる発明の実施の形態 1 を図 1、図 2、図 3、図 4 を用いて説明する。本発明による伝送方式は図 1 に示すよ

うに、送信側LSI1、受信側LSI2、送信側フリップフロップ3、受信側フリップフロップ4、出力バッファ5、伝送線路6、入力バッファ7、2分周回路8、差動バッファ9からなる。

【0009】通常、データ伝送速度はデータ周期によって表され(bit/s)、周波数では1/2の周波数(Hz)に相当する。そのためクロックの周波数はデータの周波数の2倍である。送信側LSI1において、内部論理からのデータを最終段フリップフロップ3にてリタイミングを行い、このリタイミングを行ったクロックを2分周回路8にて2分周し、データと共に出力バッファ5を介して出力する。伝送線路6は装置のユニット間を伝送するため、数十mの長さとなるが、伝送路6を伝搬するクロックは2分周されたハーフレートクロックであるため、伝送線路における高帯域での損失による波形劣化は、従来の伝送方式に比べてクロック周波数が1/2であるため低減できる。

【0010】伝送線路6を伝搬したデータ、ハーフレートクロックは受信側LSI2に入力され、入力バッファ7を介してデータは受信フリップフロップ4に、ハーフレートクロックは差動バッファ9に入力される。差動バッファ9に入力されたハーフレートクロックは正負出力の2相クロックを出力し、この2相クロックにてデータのリタイミングを行う。

【0011】図3は図1の伝送方式でのタイミングチャートである。データに対して、差動のハーフレートクロックの各々の立ち上がりエッジで交互にリタイミングを行う。

【0012】図2は、送信側にてハーフレートクロックをシフトレジスタであるフリップフロップ10にてシフトさせて2相クロックを出力させた方式である。図1と同様に伝送路6を伝搬するクロックはハーフレートクロックであるため伝送線路における高帯域での損失による劣化は従来の伝送方式に比べてクロック周波数が1/2であるため低減できる。

【0013】この方式は、クロックの出力が2本であるためLSIピンを追加する必要があるが、送信側でのクロックの立ち上がりエッジのみ使用するため、クロックデューティの影響を無視できる。

【0014】図4は、図2の伝送方式でのタイミングチャートである。クロックを1シフトさせることで図3と同様に交互にリタイミングを行う。

【0015】(実施の形態2)以下、本発明にかかる発明の実施の形態2を図5、図6、図7を用いて説明する。図5は発明の実施の形態1で示した伝送方式において、2分周回路を1bitカウンタ回路にて構成し、データに対してクロックのタイミングを半周期遅らせた構成である。

【0016】クロックを分周回路である1bitカウンタにて2分周することで、ハーフレートクロックにす

る。この時、データ、クロック出力共に同一タイプのフリップフロップからの出力であるためLSIのプロセス、温度変動、電源変動の影響による遅延時間のばらつきが同一の変動であり、データ、クロック並送方式においては、上記影響によるデータ、クロック間のスキューは無視できる。

【0017】並送するハーフレートクロックは、送信側LSIにてデータはクロックの正出力にてリタイミングし、ハーフレートクロックはクロックの負出力でリタイミングすることで、ハーフレートクロックのエッジを論理的に半周期遅らせる。これにより、データとハーフレートクロックのタイミングが周波数依存性を持たず、またLSIのプロセス、温度変動、電源変動の影響による遅延時間の相対的な変動も無視できる利点がある。

【0018】図6はハーフレートクロックのタイミングをディレイ素子11により、データの中心へ遅延させた構成である。この構成では、送信側でデータとハーフレートクロックの立ち上がりエッジを同位相として出力し、受信側のディレイ素子11でタイミング調整を行う。

【0019】図7は受信側に遅倍回路であるPLL13により、伝送されたハーフレートクロックを遅倍し、フルレートクロックで動作させる構成である。

【0020】PLL13ではクロックの通倍とともに、分周されたクロックと、通倍したクロックとの立ち上がりエッジの位相合わせによりスキューの補正を行う。そのため差動バッファ9の負出力クロックによりデータの中心でリタイミングを行うことで、タイミングマージンを確保できる。通倍回路はEOR論理を用いた微分回路で構成してもよい。

【0021】(実施の形態3)以下、本発明にかかる発明の実施の形態3を図8、図9を用いて説明する。図8は、本発明の高速データ伝送方式を用いたATM交換機の構成であり、パラレル/シリアル変換14、シリアル/パラレル変換15、論理部16、SW(スイッチ)部17、入出力LSI18、ATMSWLSI19、2分周回路8を内蔵した送信回路20、差動バッファ9を内蔵した受信回路21からなる。

【0022】ATM交換機では、複数のATM端末からの音声、映像等のデータの切換えを行うため、ATM端末の数に相当する基板へ信号を分配して伝送する必要がある、高速、広帯域ISDNへ対応するためにスイッチの高速・大容量化が必須である。装置内においては、各ATM端末からのデータを回線ユニットからスイッチのユニットに伝送する必要がある、実際には回線ユニットの入出力LSI18から、基板、バックボードの伝送線路6を介してスイッチ側のATMSWLSI19への伝送を行う。この時LSI、基板、バックボードのピン数の制限により、データの並列bit数を低減するためパラレル/シリアル変換を行う。シリアル変換されたデ

ータは高速伝送が要求され、このシリアル伝送の伝送速度が、ATM交換機の高速化を決定する。

【0023】図9はATM交換機の装置外観を示したものである。入出力LSI18を搭載した基板からバックボードを介してATMSWLSI19を搭載した基板へ伝送線路6により伝送を行う。

【0024】本発明の伝送方式を適用することにより、発明の形態1で示した様にLSI間的高速伝送が可能であり、これによりATM交換機の高速化が実現できる。

【0025】

【発明の効果】以上説明した様に本発明によれば、LSI間のクロック伝送をハーフレートクロックとすることで伝送線路における高帯域での損失による波形劣化を低減できるため、高速データ伝送が可能になり装置の高速化を実現できる。また、送信側においてデータとハーフレートクロックを同一のフリップフロップから出力するため、温度、電源、プロセスばらつきの影響が無視できる。さらに受信側の差動バッファにて正負出力である2相クロックで動作させるため、LSIのピンを増やすことなく高速伝送が実現できる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る差動クロックを用いた高速伝送方式の構成図である。

【図2】本発明の実施の形態に係るシフトレジスタを用いた高速伝送方式の構成図である。

【図3】本発明の実施の形態に係る差動クロックを用い

た高速伝送方式のタイムチャートである。

【図4】本発明の実施の形態に係るシフトレジスタを用いた高速伝送方式のタイムチャートである。

【図5】本発明の実施の形態に係る逆相転送を用いた高速伝送方式の構成図である。

【図6】本発明の実施の形態に係るディレイ素子を用いた高速伝送方式の構成図である。

【図7】本発明の実施の形態に係るPLLを用いた高速伝送方式の構成図である。

10 【図8】本発明の実施の形態に係る高速伝送方式を適用したATM交換機の構成図である。

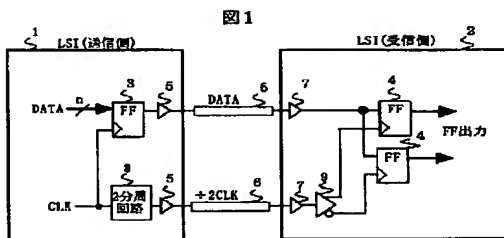
【図9】本発明の実施の形態に係る高速伝送方式を適用したATM交換機の外観斜視図である。

【図10】(a)及び(b)は従来の伝送方式の構成図及びタイムチャートである。

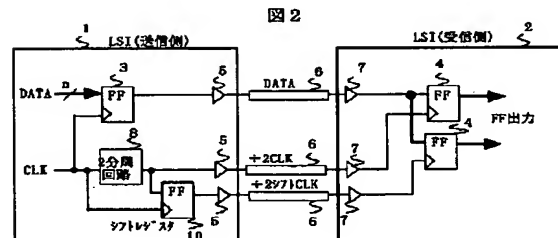
【符号の説明】

1…送信側LSI、2…受信側LSI、3…送信側フリップフロップ、4…受信側フリップフロップ、  
5…出力バッファ、6…伝送線路、7…入力バッファ、  
20 8…2分周回路、9…差動バッファ、10…シフトレジスタ用フリップフロップ、11…ディレイ素子、12…分周回路、13…PLL、14…パラレル/シリアル変換回路、15…シリアル/パラレル変換回路、  
16…論理部、17…SW部、18…入出力LSI、19…ATMSWLSI、20…送信回路、21…受信回路。

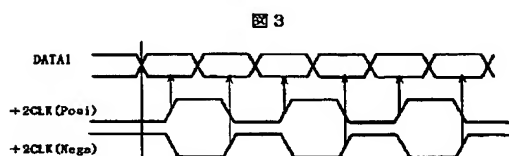
【図1】



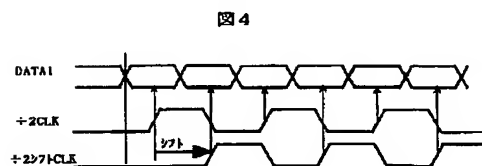
【図2】



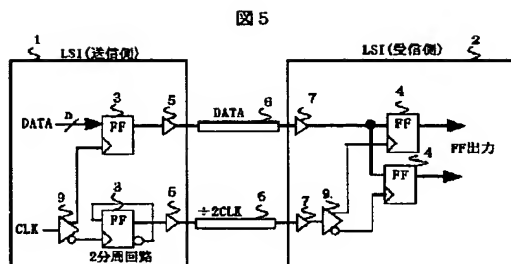
【図3】



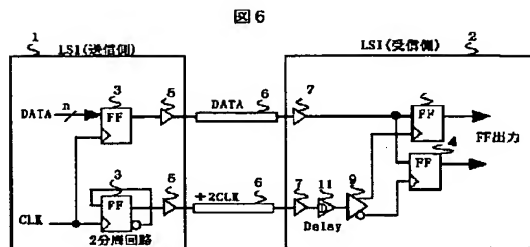
【図4】



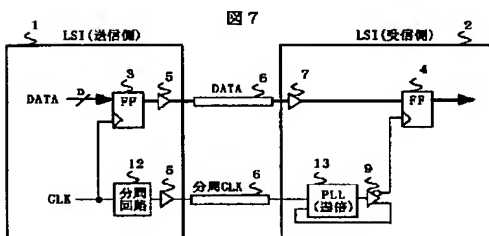
【図 5】



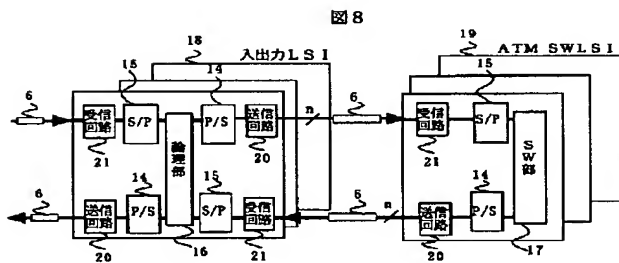
【図 6】



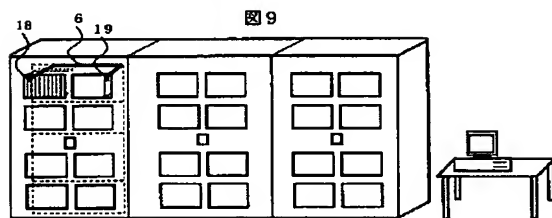
【図 7】



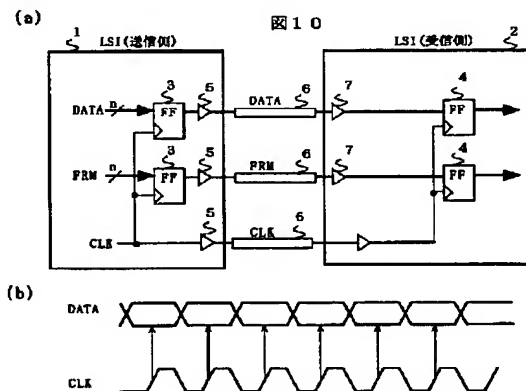
【図 8】



【図 9】



【図 10】



フロントページの続き

(72) 発明者 横田 光邦  
神奈川県横浜市戸塚区戸塚町216番地株式  
会社日立製作所情報通信事業部内  
(72) 発明者 和田 光弘  
神奈川県横浜市戸塚区戸塚町216番地株式  
会社日立製作所情報通信事業部内

(72) 発明者 笠原 裕明  
神奈川県横浜市戸塚区戸塚町216番地株式  
会社日立製作所情報通信事業部内  
(72) 発明者 大林 潤也  
神奈川県横浜市戸塚区戸塚町216番地株式  
会社日立製作所情報通信事業部内